

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-179362

(43)Date of publication of application : 12.07.1996

(51)Int.Cl. G02F 1/136  
H01L 29/786

(21)Application number : 06-319826 (71)Applicant : MITSUBISHI ELECTRIC  
CORP  
ASAHI GLASS CO LTD

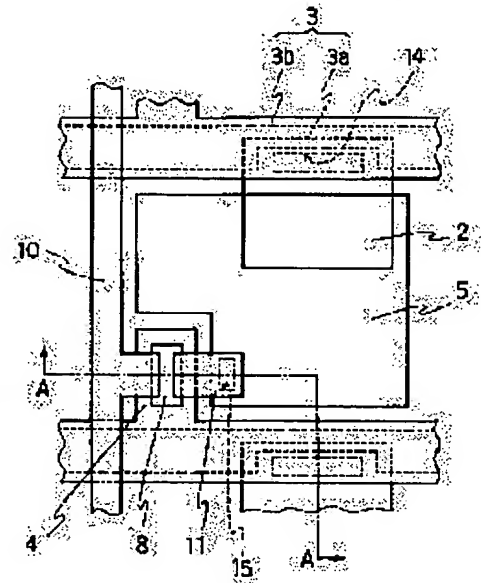
(22)Date of filing : 22.12.1994 (72)Inventor : NAKAGAWA NAOKI  
SAKAMOTO HIROKAZU

## (54) THIN-FILM TRANSISTOR ARRAY SUBSTRATE

### (57)Abstract:

**PURPOSE:** To provide a TFT array substrate with which the disconnection by corrosion of low-resistance gate wirings in a patterning stage of pixel electrodes, etc., is prevented while preventing increase of the contact resistance by the heat history of contact of gate electrode wires with transparent holding capacitor electrodes.

**CONSTITUTION:** This TFT array substrate for a matrix type liquid crystal display device has the gate electrode wires 3, source electrode wires 10, TFTs disposed in the intersected parts of the electrode lines, pixel electrodes 5 connected to the drain electrodes 11 of the TFTs and the holding capacitor electrodes 2, which consists of transparent conductive films and is electrically connected to the gate electrode lines and a holding capacitor insulating film 13 on an insulating substrate 1. The gate electrode wires has at least first gate electrode lines 3a consisting of a low-resistance material and second gate electrode lines 3b consisting of a high melting metallic material. The surfaces of the first gate electrode lines are completely coated with the second gate electrode lines. The contact parts of the gate electrode lines and the holding capacitor electrodes are connected by the material of the second gate electrode lines.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

## 【特許請求の範囲】

【請求項1】 透明の絶縁基板上に並設された複数のゲート電極線、該ゲート電極線に交差する複数のソース電極線、該2つの電極線の交差部に設けられた薄膜トランジスタ、該薄膜トランジスタのドレイン電極に接続された透明導電膜からなる画素電極、および透明導電膜からなり前記ゲート電極線と電気的に接続される保持容量電極と少なくとも前記画素電極の一部とのあいだに挟持される保持容量絶縁膜と該画素電極の一部とからなる保持容量を有するマトリックス型表示装置用の薄膜トランジスタアレイ基板であって、前記ゲート電極線は少なくとも低抵抗材料からなる第1ゲート電極線と高融点金属材料からなる第2ゲート電極線とを有し、第1ゲート電極線の表面は第2ゲート電極線により完全に被覆され、かつ、前記ゲート電極線と保持容量電極との接触部は第2ゲート電極線の材料により接続される薄膜トランジスタアレイ基板。

【請求項2】 前記透明の絶縁基板上に透明導電膜からなる保持容量電極が設けられ、該保持容量電極上に前記保持容量絶縁膜が設けられ、該保持容量絶縁膜上の一部に前記第1ゲート電極線を覆って第2ゲート電極線が設けられ、前記保持容量絶縁膜に設けられたコンタクトホールに前記第2ゲート電極線の材料が被膜されることにより前記ゲート電極線と前記保持容量電極とが接続されてなる請求項1記載の薄膜トランジスタアレイ基板。

【請求項3】 前記透明の絶縁基板上に前記第2ゲート電極線が前記第1ゲート電極線を覆うように設けられ、前記保持容量電極が該第2ゲート電極線上に設けられることにより前記ゲート電極線と前記保持容量電極とが接続されてなる請求項1記載の薄膜トランジスタアレイ基板。

【請求項4】 前記保持容量電極上に該保持容量電極を覆うように前記保持容量絶縁膜が設けられ、かつ、該保持容量絶縁膜が前記薄膜トランジスタのゲート電極上を除いた全面に設けられてなる請求項3記載の薄膜トランジスタアレイ基板。

【請求項5】 前記薄膜トランジスタのゲート電極が前記第2ゲート電極線と同じ材料で形成され、該薄膜トランジスタのゲート絶縁膜と同一層で前記ゲート電極線および前記保持容量電極表面が覆われてなる請求項3記載の薄膜トランジスタアレイ基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、マトリックス型表示装

$$C_{gn} = C_8 + C_9 + \frac{C_{10} \cdot (C_{11} + C_{12} + C_{13} + C_{14})}{C_{10} + C_{11} + C_{12} + C_{13} + C_{14}} + \frac{C_7 \cdot (C_3 + C_4 + C_5 + C_6)}{C_3 + C_4 + C_5 + C_6 + C_7}$$

【0006】で表わされる。すなわち、各画素のゲート電極線3に寄生する容量は次段の画素の容量の影響を受け、順次ゲート電極線3の容量が増大する。その結果、ゲート信号の遅延が生じ、表示ムラになるため、ゲート

\* 置に用いられる、薄膜トランジスタアレイ基板に関するものである。

## 【0002】

【従来の技術】マトリックス型表示装置は、通常、薄膜トランジスタ（以下、TFTという）などが設けられた薄膜トランジスタアレイ基板（以下、TFTアレイ基板ともいう）とカラーフィルターなどが設けられた対向基板の2枚の基板のあいだに液晶などの表示材料が挟持され、この表示材料に選択的に電圧が印加されるように構成されている。前記TFTアレイ基板には、マトリックス状に配列された透明性導電膜からなる画素電極が設けられ、これらの画素電極ごとに選択的に電圧を印加するためのTFTなどのスイッチング素子および電荷を保持し、かつ、前記TFTの寄生容量による信号レベルの変動を低減するための電荷保持容量が設けられている。従来、この種の装置としては、図7～9に示すものがある。図7は、従来のマトリックス型表示装置の画素部分の平面図、図8は図7のA-A線断面図、図9はTFTアクティブマトリックス型の液晶表示装置（以下、LCDという）の画素の等価回路を示す図である。

【0003】図7および図8において、1は透明の絶縁基板、2はゲート電極線と接続される保持容量電極、3aは第1ゲート電極線、3bは第2ゲート電極線、5は画素電極、6はゲート絶縁膜、7はノンドープアモルファスシリコンからなる活性層、8はチャネル保護膜、9はリンドープアモルファスシリコンからなるコンタクト層、10はソース電極線、11はドレイン電極、12はパッシベーション膜、13は保持容量絶縁膜、14は保持容量電極2とゲート電極線3（3a、3b）を接続するコンタクトホール、15は画素電極5とドレイン電極11を接続するコンタクトホールである。

【0004】LCDの各画素は各電極や配線間に図9に示されるような等価回路図で表わされる容量が形成されている。図9において、C<sub>1</sub>、C<sub>8</sub>はゲート電極線3とソース電極線10とのあいだの容量、C<sub>2</sub>、C<sub>9</sub>はTFTのドレイン・ソース間、C<sub>3</sub>、C<sub>10</sub>はTFTのゲート・ドレイン間、C<sub>4</sub>、C<sub>11</sub>はTFTのドレイン・ソース間の各容量を、C<sub>5</sub>、C<sub>12</sub>はTFTのドレインと次段のソース電極線10とのあいだの容量、C<sub>6</sub>、C<sub>13</sub>は液晶層による容量、C<sub>7</sub>、C<sub>14</sub>は保持容量をそれぞれ示す。このLCDのn番目のゲート電極線に寄生する総容量C<sub>gn</sub>は、

## 【0005】

## 【数1】

電極線3の低抵抗化が必要となり、ゲート電極線3をAlなどの比抵抗の小さな金属材料あるいは、前記低抵抗金属とTa、Crの高融点金属との2層膜で形成している。

【0007】つぎに、従来のTFTアレ基板の形成方法について説明する。まず、透明導電膜からなる保持容量電極2を形成し、保持容量絶縁膜13を形成したのち、保持容量絶縁膜13をドライエッチングなどでエッチングすることにより、保持容量電極2上にゲート電極線3との接続のためのコンタクトホール14を形成する。そののち、低抵抗金属材料であるAlなどを成膜し、フォトリソグラフィおよびエッチングにより、前記コンタクトホール14を覆うように第1ゲート電極線3aを形成する。そののち、Ta、Crなどの高融点金属材料からなる第2ゲート電極線3bを形成する。つぎに、画素電極5を前記保持容量電極2と一部が重畳するように形成し、ゲート絶縁膜6、活性層7とするリンドープ半導体層、およびチャネル保護膜8を成膜する。そして、チャネル保護膜8をアイランド状にフォトリソグラフィおよびエッチングによりパターニングする。つぎに、オーミックコンタクト層9であるリンドープ半導体層を成膜し、画素電極5とドレイン電極11を接続するためのコンタクトホール15を形成する。さらに、ソース電極線10およびドレイン電極11をAlなどの金属膜で形成し、チャネル部分のリンドープ半導体層を除去する。最後に保護膜12を形成してTFTアレ基板を作製する。

#### 【0008】

【発明が解決しようとする課題】従来のTFTアレ基板は、ゲート信号の遅延による面内均一性の低下を低減するために、ゲート電極線をAlなど低抵抗金属材料からなる第1ゲート電極線とCrなどの高融点金属材料からなる第2ゲート電極線とにより2層化して形成されるが、Alなどからなる第1ゲート電極線と透明保持容量電極とのコンタクトがゲート絶縁膜やアモルファスシリコンなどの成膜工程（200℃程度）の熱履歴により劣化し、図10に示すような大きなコンタクト抵抗を生じ、見かけ上の保持容量が変化するという問題がある。なお、図10は前記熱履歴後の電圧-電流特性を示す図で、AlがAl単層のばあい、CrがCr単層のばあいを示し、横軸が印加電圧、縦軸がそのときの電流値を示す。

【0009】また、透明導電膜からなる画素電極のパターニング時に、コンタクトホール部分14のカバレッジ不良のために、保持容量電極あるいは第1ゲート電極線に腐蝕が発生し、ゲート電極線に断線が生じるという問題がある。

【0010】本発明は、前記のような従来の問題を解決するためになされたもので、透明性導電膜の保持容量電極とゲート電極線とのコンタクトの劣化がなく、しかも、画素電極形成工程などのパターニングによるゲート電極線の断線の発生のない低抵抗ゲート電極線を有するTFTアレ基板を実現することを目的とするものである。

#### 【0011】

【課題を解決するための手段】本発明のTFTアレ基板は、透明の絶縁基板上に並設された複数のゲート電極線、該ゲート電極線に交差する複数のソース電極線、該2つの電極線の交差部に設けられた薄膜トランジスタ、該薄膜トランジスタのドレイン電極に接続された透明導電膜からなる画素電極、および透明導電膜からなり前記ゲート電極線と電氣的に接続される保持容量電極と少なくとも前記画素電極の一部とのあいだに挟持される保持容量絶縁膜と該画素電極の一部とからなる保持容量を有するマトリクス型表示装置用の薄膜トランジスタアレ基板であって、前記ゲート電極線は少なくとも低抵抗材料からなる第1ゲート電極線と高融点金属材料からなる第2ゲート電極線とを有し、第1ゲート電極線の表面は第2ゲート電極線により完全に被覆され、かつ、前記ゲート電極線と保持容量電極との接触部は第2ゲート電極線の材料により接続されている。

【0012】前記透明の絶縁基板上に透明導電膜からなる保持容量電極が設けられ、該保持容量電極上に前記保持容量絶縁膜が設けられ、該保持容量絶縁膜上の一部に前記第1ゲート電極線を覆って第2ゲート電極線が設けられ、前記保持容量絶縁膜に設けられたコンタクトホールに前記第2ゲート電極線の材料が被膜されることにより前記ゲート電極線と前記保持容量電極とが接続されることによって前記構成を達成できる。

【0013】前記構成はまた、前記透明の絶縁基板上に前記第2ゲート電極線が前記第1ゲート電極線を覆うように設けられ、前記保持容量電極が該第2ゲート電極線の上に設けられることにより前記ゲート電極線と前記保持容量電極とが接続されてもよい。

【0014】前記保持容量電極上に該保持容量電極を覆うように前記保持容量絶縁膜が設けられ、かつ、該保持容量絶縁膜が前記薄膜トランジスタのゲート電極上を除いた全面に設けられてることが、ゲート電極線の一層の保護の点から好ましい。

【0015】前記薄膜トランジスタのゲート電極が前記第2ゲート電極線と同じ材料で形成され、該薄膜トランジスタのゲート絶縁膜と同一層で前記保持容量電極表面がさらに覆われていることが、成膜工程削減の点から好ましい。

#### 【0016】

【作用】本発明のTFTアレ基板によれば、エッチング液などに腐蝕され易いAlなどの低抵抗金属からなる第1ゲート電極線がCr、Moなどのエッチング液などに腐蝕されにくく、かつ、耐熱性のある高融点金属からなる第2ゲート電極線により完全に覆われているため、画素電極などのパターニングの際に腐蝕して断線が生じることがなくなる。さらに本発明のTFTアレ基板によれば、保持容量電極との電氣的接続のためのコンタクトを第2ゲート電極線の金属材料により行っているた

め、ゲート絶縁膜や半導体層などの成膜時における熱履歴によっても劣化することがなく、低い接触抵抗を維持することができる。

【0017】また、請求項2記載の発明によれば、透明の絶縁基板上に保持容量電極がゲート電極線により下層に形成される構造のTFTアレイベースにおいて、第1ゲート電極線が第2ゲート電極線により完全に覆われ、かつ、保持容量電極とのコンタクトは保持容量絶縁膜に設けられたコンタクトホールを介して第2ゲート電極線の材料によりなされるため、第1ゲート電極線と保持容量電極線との接触はなく、前述の作用を呈する。

【0018】さらに、請求項3記載の発明によれば、透明の絶縁基板上にゲート電極線が保持容量電極より下層に形成される構造のTFTアレイベースにおいて、絶縁基板上に設けられた第1ゲート電極線を完全に覆って第2ゲート電極線が設けられ、さらに第2ゲート電極線の上に保持容量電極が設けられているため、第1ゲート電極線が露出することはなく保持容量電極との接触は第2ゲート電極線のみで行われ、前述の作用を呈する。

【0019】請求項4記載の発明によれば、保持容量電極および第2ゲート電極線の表面が保持容量絶縁膜により覆われているため、一層パターニングの際のエッチングに対してゲート電極線が保護され、第2ゲート電極線にピンホールがあっても完全に腐蝕を防止することができ、信頼性が向上する。

【0020】さらに請求項5記載の発明によれば、TFTのゲート絶縁膜と保持容量の保持容量絶縁膜とが同一層で形成され、第2ゲート電極線が完全に覆われるため、第2ゲート電極線にピンホールがあっても少ない工程で完全に腐蝕を防止することができ、信頼性が向上する。

【0021】

【実施例】つぎに図面を参照しながら本発明のTFTアレイベースについて説明する。図1～2は本発明のTFTアレイベースの実施例1の画素部分の平面説明図およびそのA-A線断面説明図、図3～4は同じく実施例2の同様の図、図5～6は同じく実施例3の同様の図である。

【0022】本発明のTFTアレイベースは、透明の絶縁基板1上に並設された複数のゲート電極線3(3a、3b)、該ゲート電極線3に交差する複数のソース電極線10、該2つの電極線の交差部に設けられたTFT、該TFTのドレイン電極11に接続された透明導電膜からなる画素電極5、および透明導電膜からなり前記ゲート電極線3と電気的に接続される保持容量電極2と少なくとも前記画素電極5の一部とのあいだに挟持される保持容量絶縁膜13と該画素電極5の一部とからなる保持容量を有するマトリックス型表示装置用のTFTアレイベースであって、前記ゲート電極線3は少なくとも低抵抗材料からなる第1ゲート電極線3aと高融点金属材料から

なる第2ゲート電極線3bとを有し、第1ゲート電極線3aの表面は第2ゲート電極線3bにより完全に被覆され、かつ、前記ゲート電極線3と保持容量電極2との接触部は第2ゲート電極線3bの材料により接続されることにより構成されている。すなわち、本発明では、ゲート電極線をAl、Cu、Agなどの低抵抗金属材料からなる第1ゲート電極線3aと耐熱性やエッチング時の耐薬品性のあるCr、Mo、Ta、W、Ti、Ni-Crなどの高融点金属材料からなる第2ゲート電極線3bの少なくとも2層から構成し、薬品などに腐蝕し易い第1ゲート電極線3aを第2ゲート電極線3bにより完全に被覆し、低抵抗特性とともに耐薬品性を確保し、保持容量電極2とのコンタクトは第2ゲート電極線3bの耐熱性のある金属材料のみで行うことによりゲート絶縁膜6や活性層7の成膜時の熱サイクルに対しても小さい接触抵抗を維持することができるようにしたものである。

【0023】この構成は保持容量電極2がゲート電極線3より下層に形成される実施例1の構造のばあいには、透明の絶縁基板1上に設けられたITO(酸化インジウムスズ)、酸化スズ、酸化インジウムなどの透明導電膜からなる保持容量電極2と窒化シリコン、酸化シリコン、酸化タンタル、酸化アルミニウムなどからなる保持容量絶縁膜13を形成したのち、第1ゲート電極線3aを成膜し、パターニングして形成し、そののち保持容量絶縁膜13にコンタクト孔14を設け、第2ゲート電極線3bの金属材料を成膜し、第1ゲート電極線3aおよびコンタクト孔14が被膜されるようにパターニングすることによりえられる。

【0024】また、ゲート電極線3が保持容量電極2より下層に形成される実施例2または3の構造のばあいには、透明の絶縁基板1上に第1ゲート電極線3a、第2ゲート電極線3bをそれぞれ順次成膜およびパターニングすることにより形成し、ついで保持容量電極2を成膜して第2ゲート電極線3bとのコンタクト部を被覆するようにパターニングすることにより前述の本発明の構成がえられる。

【0025】さらに第2ゲート電極線3b上を絶縁膜で被覆することにより第2ゲート電極線3bにピンホールなどがあっても完全に腐蝕などから保護することができるが、この絶縁膜による保護は実施例2に示される保持容量絶縁膜13で保護されたり、実施例3に示されるゲート絶縁膜6により保護される。

【0026】つぎに具体的な実施例でさらに詳細に説明する。

【0027】【実施例1】まず、図1～2に示されるように、透明絶縁性基板1上に透明導電膜からなる保持容量電極2を形成する。つぎに保持容量絶縁膜13となる、たとえば窒化シリコンをプラズマCVD法などで成膜する。さらに、Alなどからなる第1ゲート電極線3aをスパッタ法などで成膜したのち、まず第1ゲート

7

電極線3aをパターニングし、そののち、保持容量絶縁膜13にコンタクトホール14を形成する。そして、Crなどからなる第2ゲート電極線3bを第1ゲート電極線3aおよびコンタクトホール14を完全に覆うように形成する。さらに、保持容量電極2と同様の透明導電膜からなる画素電極5を形成し、ゲート絶縁膜6となる、たとえば窒化シリコン、および活性層7である、たとえばノンドープアモルファスシリコン(i-a-Si)およびたとえば窒化シリコンなどからなるチャネル保護膜8を連続成膜し、チャネル保護膜8をパターニングする。さらに、たとえばリンドープアモルファスシリコン(n<sup>+</sup>-a-Si)などからなるコンタクト層9を形成する。ついでコンタクト層9およびゲート絶縁膜6をドライエッチングなどにより連続してエッチングし、画素電極5上にコンタクトホール15を形成する。さらに、ソース電極線10およびドレイン電極11を形成するためのCrおよびAlを成膜し、パターニングし、前記ソース電極線10およびドレイン電極11をマスクとして、画素およびチャネル上の不要なノンドープアモルファスシリコン層およびリンドープアモルファスシリコン層をドライエッチングなどで除去する。最後に窒化シリコンなどの保護膜12を形成し、TFTアレイ基板が完成する。

【0028】本実施例によれば、保持容量電極とゲート電極線とのコンタクト部の熱劣化がなく、しかも第1ゲート電極線の形成時には、保持容量電極はすべて保持容量絶縁膜で覆われているので、Alのエッチング時の腐食を防止することができる。

【0029】【実施例2】つぎに、本発明のTFTアレイ基板の第2の実施例を図3および図4を参照しながら説明する。

【0030】まず、透明な絶縁基板1上にAlなどからなる第1ゲート電極線3aをスパッタ法などで成膜したのち、パターニングし、ついで、Crなどからなる第2ゲート電極線3bを第1ゲート電極線3aの配線部分を完全に覆うように形成する。そののち、透明導電膜からなる保持容量電極2をゲート電極線3とのコンタクト部で前記第1ゲート電極線3aおよび第2ゲート電極線3bの配線部分を完全に覆うように形成する。つぎに保持容量絶縁膜12となるたとえば窒化シリコンをプラズマCVD法などで0.1~0.5μmの厚さに成膜し、TFTのオン電流の減少を防ぐためゲート電極4上の保持容量絶縁膜13を除去する。さらに、透明導電膜からなる画素電極5を形成し、ゲート絶縁膜6となるたとえば窒化シリコンおよび活性層7であるたとえばノンドープアモルファスシリコン(i-a-Si)層およびたとえば窒化シリコンからなるチャネル保護膜8を連続成膜し、チャネル保護膜8をパターニングする。さらに、たとえばリンドープアモルファスシリコン(n<sup>+</sup>-a-Si)からなるコンタクト層9を形成し、画素電極

8

5上にコンタクトホール15を形成するため、ノンドープアモルファスシリコンからなる活性層7およびリンドープアモルファスシリコン(n<sup>+</sup>-a-Si)からなるコンタクト層9およびゲート絶縁膜6をドライエッチングなどにより連続でエッチングする。さらに、ソース電極線10およびドレイン電極11を形成するためのCrおよびAlを成膜し、ついでパターニングし、前記ソース電極線10およびドレイン電極11をマスクとして、画素およびチャネル上の不要なノンドープアモルファスシリコン層およびリンドープアモルファスシリコン層をドライエッチングなどで除去する。最後に窒化シリコンなどの保護膜12を形成し、TFTアレイ基板が完成する。

【0031】本実施例によれば、第1ゲート電極線3a、第2ゲート電極線3b、保持容量電極2をそれぞれ順次成膜、パターニングすることにより、Al/ITOのコンタクトの熱劣化を防止するとともに第1ゲート電極線3aが第2ゲート電極線3bにより完全に被覆されるとともに、保持容量電極2と接続されるゲート電極線3が第2ゲート電極線3bの材料のみで行われるようにすることができ、熱プロセスに対しても強く、かつ、エッチングなどの腐蝕に対しても安定したゲート電極線を有するTFTアレイ基板がえられる。

【0032】さらにこの表面を絶縁膜で被覆することにより一層エッチングなどの腐蝕に対して信頼性が向上し、本実施例では、保持容量の保持容量絶縁膜12とTFTのゲート絶縁膜6とを別個に形成しているため、設計の自由度があり、設計し易いという効果がある。

【0033】【実施例3】つぎに、本発明のTFTアレイ基板の第3の実施例を図5および図6を参照しながら説明する。

【0034】まず、透明の絶縁基板1上にAlなどからなる第1ゲート電極線3aをスパッタ法などで成膜したのち、パターニングし、そして、Crなどからなる第2ゲート電極線3bを第1ゲート電極線3aの配線部分を完全に覆うように形成する。この際、TFTのゲート電極4を第2ゲート電極線3bと同じ材料で形成する。そののち、前記第1ゲート電極線3aおよび第2ゲート電極線3bのコンタクト部分を完全に覆うように、透明導電膜からなる保持容量電極2を形成する。つぎに、ゲート絶縁膜6となるたとえば窒化シリコンを全面に成膜し、第2ゲート電極線3b上を完全に被覆するとともに、保持容量電極2上にも形成し、保持容量絶縁膜13をも兼ねる。ついで活性層7である、たとえばノンドープアモルファスシリコン(i-a-Si)および、たとえば窒化シリコンからなるチャネル保護膜8を連続成膜し、チャネル保護膜8をパターニングする。そして、たとえばリンドープアモルファスシリコン(n<sup>+</sup>-a-Si)からなるコンタクト層9を形成し、アモルファスシリコン層をアイランド状にパターニングし、透明導電

膜からなる画素電極5を形成する。さらに、ソース電極線10およびドレイン電極11をマスクとして、画素およびチャネル上の不要なノンドープアモルファスシリコン層およびリンドープアモルファスシリコン層をドライエッチングなどで除去する。最後にチツ化シリコンなどの保護膜12を形成し、TFTアレ基板が完成する。

【0035】本実施例によれば、ゲート絶縁膜6と保持容量絶縁膜13を同一層で形成するとともに、第2ゲート電極線3bを完全に被覆しているため、ゲート電極線3の保護のほか、工程の単純化の効果がある。

【0036】

【発明の効果】本発明のTFTアレ基板によれば、透明導電膜からなる保持容量電極とゲート電極線のコンタクト部を高融点金属材料からなる第2ゲート電極線の材料のみで接続しているため、コンタクトの熱履歴による劣化を招くことがなく、コンタクト部の劣化がない低抵抗ゲート電極線が実現する。

【0037】また、A1などからなる第1ゲート電極線を被覆する第2ゲート電極線を透明保持容量電極で、または保持容量電極とともに保持容量絶縁膜あるいはゲート絶縁膜で覆うことにより、保持容量電極および画素電極のパターニング時の腐蝕による断線を防止することができ、低抵抗で高歩留りのゲート電極線がえられる。その結果、高精細で大面積の表示品質が向上したTFT形

LCDがえられる。

【図面の簡単な説明】

【図1】 本発明TFTアレ基板の一実施例の平面説明図である。

【図2】 図1のA-A線断面説明図である。

【図3】 本発明TFTアレ基板の第2の実施例の画素部の平面説明図である。

【図4】 図3のA-A線断面説明図である。

【図5】 本発明TFTアレ基板の第3の実施例の画素部の平面説明図である。

【図6】 図5のA-A線断面説明図である。

【図7】 従来のTFTアレ基板の画素部の平面説明図である。

【図8】 図7のA-A線断面説明図である。

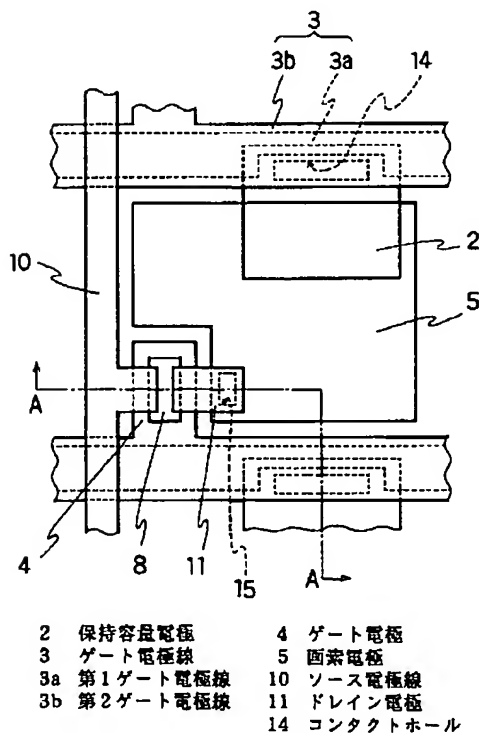
【図9】 前記薄膜トランジスタ基板を用いたLCDの画素部分の等価回路を示す図である。

【図10】 従来技術の説明図である。

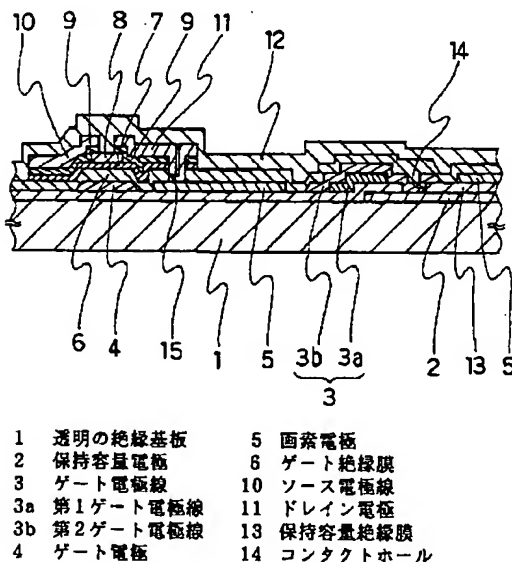
【符号の説明】

1 透明の絶縁基板、2 保持容量電極、3 ゲート電極線、3a 第1ゲート電極線、3b 第2ゲート電極線、4 ゲート電極、5 画素電極、6 ゲート絶縁膜、10 ソース電極線、11 ドレイン電極、13 保持容量絶縁膜、14 コンタクトホール。

【図1】

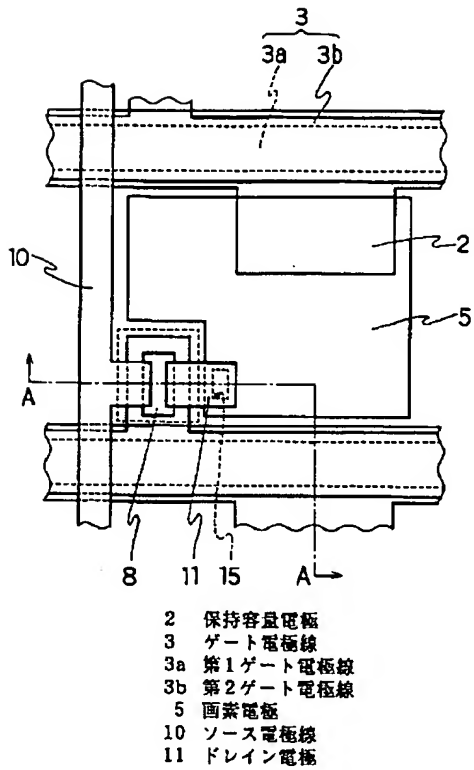


【図2】

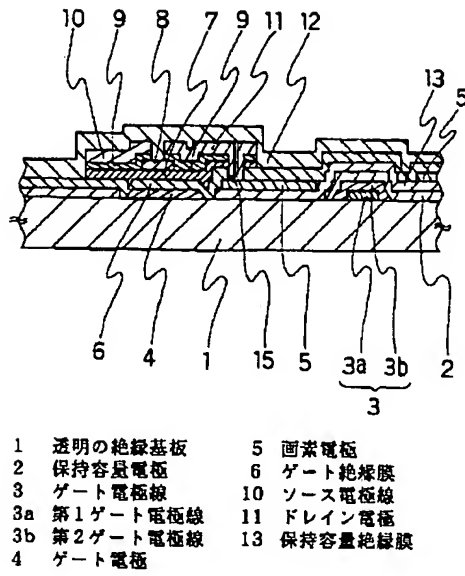




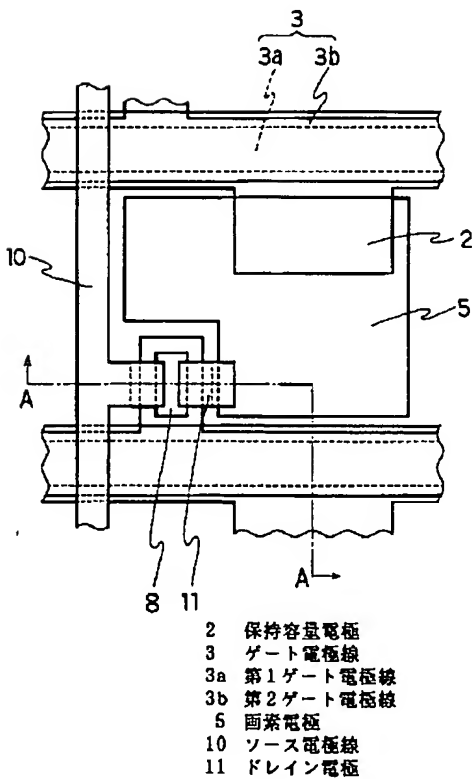
【図3】



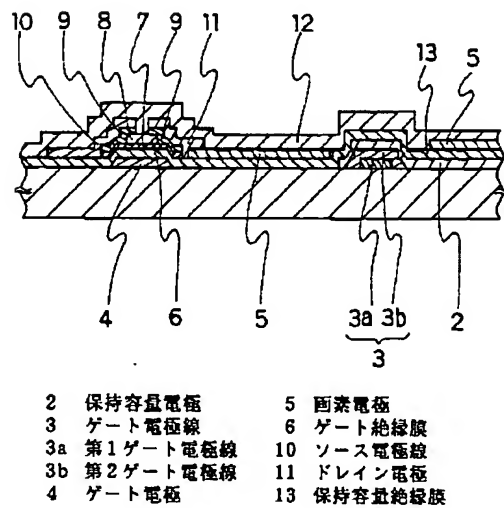
【図4】



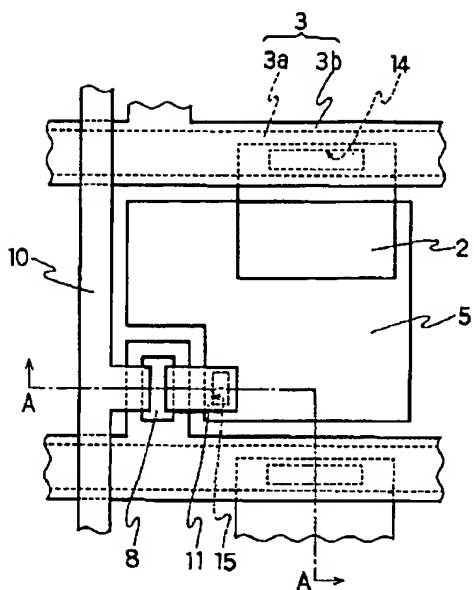
【図5】



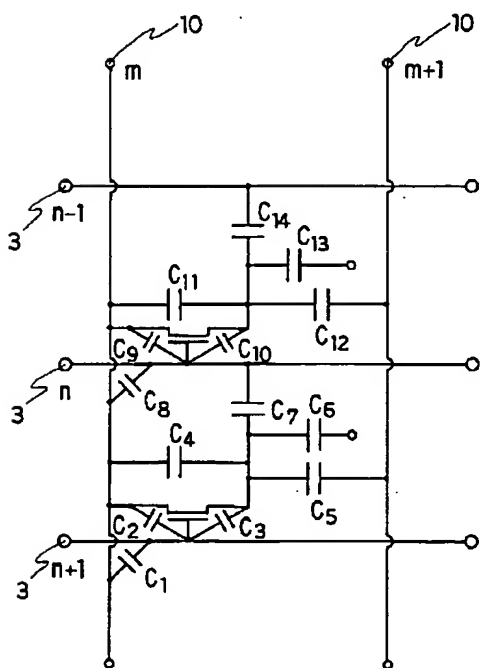
【図6】



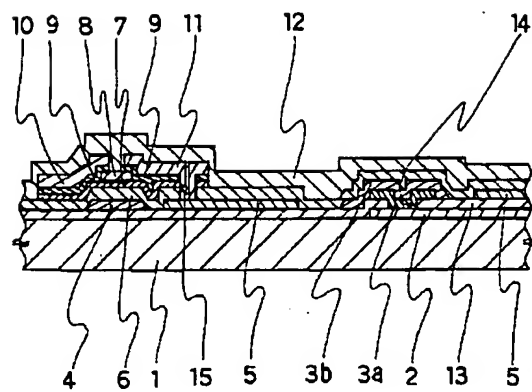
【図7】



【図9】



【図8】



【図10】

